

CLIPPEDIMAGE= JP403191533A
PAT-NO: JP403191533A
DOCUMENT-IDENTIFIER: JP 03191533 A
TITLE: FIELD-EFFECT TRANSISTOR

PUBN-DATE: August 21, 1991

INVENTOR-INFORMATION:

NAME
HIRAMATSU, SHIGERU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP01331595

APPL-DATE: December 21, 1989

INT-CL (IPC): H01L021/338; H01L029/50 ; H01L029/812
US-CL-CURRENT: 257/280

ABSTRACT:

PURPOSE: To avoid the fall of a gate electrode and the generation of a distortion to keep the stability of the title transistor, to inhibit the deterioration of the characteristics of the transistor and the generation of a defective and to contrive the improvement of the reliability and productivity of the transistor by a method wherein the form of the channel of the transistor is formed into a pattern bent or curved non-linearly in respect to the direction of a channel width.

CONSTITUTION: This field-effect transistor is a field-effect transistor having a gate electrode with a sectional form that the width on the side of the upper part of the electrode is formed wider than the width, by which a channel length is specified, on the side of the base part of the electrode and the form of a channel of the transistor is formed into a pattern bent or curved non-linearly in respect to the direction of a channel width shown by an arrow (b) in the diagram. In this case, even if a force in the transverse direction acts as shown by arrows (c) and (d), for example, at a certain stage of a manufacturing process, the force is dispersed in a plurality of directions as a whole because the side of the base part of the T-type gate electrode 3 is formed narrow on the individual sections of the electrode 3. Thereby, the fall of the electrode 3 can be avoided, the deterioration of the characteristics of the transistor and the generation of a defective are inhibited and the improvement of the reliability and productivity of the transistor can be contrived.

COPYRIGHT: (C)1991, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-191533

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月21日

H 01 L 21/338
29/50
29/812

J 7738-5F

7735-5F H 01 L 29/80
7735-5F

F
H

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 電界効果トランジスタ

⑮ 特 願 平1-331595

⑯ 出 願 平1(1989)12月21日

⑰ 発 明 者 平 松 茂 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 電界効果トランジスタ

特許請求の範囲

断面形状が、チャネル長を規定する基部側の幅より上部側で幅広とされたゲート電極を有する電界効果トランジスタにおいて、

そのチャネル形状をチャネル幅方向に関して非直線的に屈曲ないしは湾曲したパターンとしたこと

を特徴とする電界効果トランジスタ。

発明の詳細な説明

(産業上の利用分野)

本発明は電界効果トランジスタ(FET)、特にショットキゲートを有するショットキゲート型FETいわゆるMES-FET、或いは高電子移動度トランジスタ、すなわち2次元電子ガスチャネル型のFETによるいわゆるHEMT等に適用する電界効果トランジスタに係る。

(発明の概要)

本発明は、断面形状がチャネル長を規定する基部側の幅より上部側で幅広とされたゲート電極を有する電界効果トランジスタにおいて、そのチャネル形状をチャネル幅方向に関して非直線的に屈曲ないしは湾曲したパターンとし、ゲート電極の倒れや歪みの発生を回避して安定性を保ち、特性の劣化や不良品の発生を抑制して、信頼性の向上をはかる。

(従来の技術)

近年超高周波回路への応用を目指して、低雑音かつ高利得な半導体装置、或いはそのモノリシック集積回路ICの研究開発が活発化している。

マイクロ波応用としてはすでにGaAs系のMES-FET、或いは同様のショットキゲート型の2次元電子ガスチャネルによる高電子移動度電界効果トランジスタHEMTなどの半導体装置の実用化が進められている。

これらトランジスタの高周波特性、例えばこの場合遮断周波数 f_T 、や最大周波数 f_{max} 等の高周

波特性の向上をはかるために、益々短ゲート長化が要望されている。

一方高周波トランジスタの特性を示す重要な指数の1つに最小雑音指数 N_{min} がある。 N_{min} はゲートソース間容量 C_{gs} や、ソース抵抗 R_s 、ゲート抵抗 R_g 等の増加に伴って増大するので、この N_{min} に対してゲート抵抗 R_g 、ソース抵抗 R_s 及びゲート・ソース間容量 C_{gs} は重要なパラメータとなる。

ところが、上述したように高周波特性の向上のために短ゲート長化をはかると、その金属ゲート電極が細くなることによって、付随的にゲート抵抗 R_g が増加する。従って高周波特性例えば f_T 、 f_{max} の向上と最小雑音指数 N_{min} の低減化との関係は相容れないものとなっている。

このような不都合を回避する方法として、金属ゲート電極の断面形状を、ショットキゲートを形成する接触部すなわち半導体基体との接触部においてはこれを狭幅化して短ゲート長化をはかるものの、これより上層の部分は断面の形をほぼT字

型、又はこれに類似したΓ字型等のゲート電極構造とすることが試みられている。

第4図はこのようなT字型構造のゲート電極を有するFETの製造過程の略線的断面図である。第4図において、(1)はサブストレイト、(2)はチャネル形成層、(3)はT字型ゲート電極、(4)はソース電極、(5)はドレイン電極、(6)は絶縁層である。

第4図に示すように、T字型ゲート電極(3)の上部の幅 W_g は幅広で、例えば $0.5 \sim 0.7 \mu m$ とされ、基部側の幅すなわちゲート長 L_g は幅狭で、例えば $0.15 \sim 0.2 \mu m$ とされている。

しかしながらICにおいては、そのゲート電極は、端子導出或いは他との接続に供するべく比較的長く、すなわちチャネル幅方向に長く、かつ直線的に延在形成させるパターンが多くとられる。ところがこの場合、上述したようにゲート長 L_g がより幅狭化されると、このゲート電極(3)は例えば第4図紙面に対してほぼ垂直な方向に直線状とされるため、横方向すなわち第4図中矢印aで示す方向に対して強度が小であるため、製造工程の

ある段階で横方向の力が働いたとき倒れたり、或いはその一部に歪みが生じる場合がある。

また、第4図に示すようにゲート電極(3)を絶縁層(6)例えばSiN層で全面的に覆い、ゲート電極(3)の基部を覆う場合においても、前述したゲート/ドレイン間容量 C_{gs} の低減化をはかる上で、誘電率が空気より大である絶縁層の厚さをなるべく小とする必要があり、絶縁層(6)の厚さ t は例えば500Å以下とされている。このため、ゲート電極(3)の基部側の安定性をこの絶縁層(6)によって充分に保つことは難しく、特性の劣化や不良品の発生を来し、信頼性及び生産性の低下を招く。

(発明が解決しようとする課題)

本発明は、上述したようなゲート電極の倒れや歪みの発生を回避して安定性を保ち、特性の劣化や不良品の発生を抑制して信頼性及び生産性の向上をはかる。

(課題を解決するための手段)

本発明による電界効果トランジスタの各例の要部の略線的拡大平面図を第1図及び第2図に示す。

本発明は、第1図に示すように断面形状がチャネル長を規定する基部側の幅より上部側で幅広とされたゲート電極を有する電界効果トランジスタにおいて、そのチャネル形状を矢印bで示すチャネル幅方向に関して非直線的に屈曲ないしは湾曲したパターンとする。

(作用)

上述したように本発明は、第1図に示すように矢印bで示すチャネル幅方向に関して、全体としてはこの方向に沿って直線的でありながら、1以上の屈曲部ないしは湾曲部を有する、非直線的な形状のパターンとするので、T字型ゲート電極(3)の基部側が幅狭となっているために受ける横方向の力が、例えば矢印c及びdで示すように複数の方向に分散される。従って矢印bで示すチャネル幅方向に対して、チャネル幅に直交する矢印aで示す横方向に働く力は、実質的にその力の大きさ

が小となり、T字型ゲート電極(3)の倒れや、歪みの発生を回避することができ、特性の劣化や不良品の発生を抑制して、信頼性及び生産性の向上をはかる。

〔実施例〕

本発明による電界効果トランジスタの各例をその略線的平面図を示す第1図及び第2図と、断面図を示す第3図Dを参照して説明する。

(12)は基体、(3)は断面形状が、チャネル長を規定する基部側の幅より上部側で幅広とされたゲート電極、例えば断面T字型のゲート電極を示す。(4)及び(5)はそれぞれソース及びドレイン電極である。

ゲート電極(3)は、例えば第1図及び第2図で、矢印bに示すチャネル幅方向に関して、全体としてはこの方向に沿って直線的でありながら、例えば第1図に示すように波形に往復する複数の湾曲部ないしはジグザグに屈曲する複数の屈曲部を有する非直線的な形状のパターンとする。

を形成して、所要の幅 W_g をもち、例えば第1図に示すように湾曲部をもったパターンに、フォトリソグラフィの適用によりパターンニングを行う。

次に第3図Bに示すように、遮光層(23)に対してフォトレジスト(24)の開口(24a)を通じて等方性エッチングを行い、次にゲート長 L_g の幅をもち、例えば第1図に示すような湾曲部をもったパターンに、電子ビームEBの走査によるパターン露光を行って後、現像処理をして露光部を除去することによってパターンニングを行い、開口(22a)を形成する。この電子ビームの走査はプログラム入力による機械的操作によって簡単かつ精密に行うことができる。

次に第3図Cに示すように、開口(22a)及び(24a)内を含んで全面的にスパッタリング等によりAl等の電極材料層(25)を形成する。

次にフォトレジスト(24)とこの上の電極材料層(25)、さらに電子ビーム用レジスト(22)とこの上の遮光層(23)をそれぞれ除去し、第2図Dに示すようなT字型のゲート電極(3)を形成する。

ここに、T字型ゲート電極(3)とソース及びドレイン電極(4)及び(5)との間隔 L_{gs} 及び L_{gd} は、それぞれ一定の幅に形成して、全チャネル幅に渡って一定のFETの特性、すなわち例えば局部的にソース・ドレイン間電流が流れるなどFETの破壊ないしは不安定な動作が生じることがないようにする。

次に、さらにこの本発明によるFETの理解を容易にするために、断面T字型ゲート電極の製造方法の一例を各工程における略線的断面図を示す第3図A～Dを参照して説明する。この場合基体(12)は、例えば半絶縁性GaAsサブストレイト(1)上に、例えばn型のチャネル形成層(2)、例えば低不純物濃度のGaAs層を、CVD(化学的気相成長法)等によりエピタキシャル成長させて構成した場合である。

第3図Aに示すように基体(12)上に全面的に電子ビーム用レジスト(22)を形成し、次に遮光層(23)として例えばAl層を全面的にスパッタ等により形成する。この後全面的にフォトレジスト(24)

このような製造工程を経てFETを製造する場合、第3図Bで説明したように、電子ビームEBによりパターンニングを行う場合、第3図において紙面に垂直な方向、すなわち第1図及び第2図における矢印bで示す方向のパターンニングは、簡単かつ精密に行うことができ、このパターンニング法をソース及びドレイン電極の形成に適用することにより、第1図及び第2図におけるソース・ゲート間及びゲート・ドレイン間の距離 L_{gs} 及び L_{gd} を一定に保つことは容易に行うことができる。

なお、實際上ゲート電極(3)にはその端子導出、配線導電層のコンタクト等が行われる幅広のボンディングパッド部が設けられる。このボンディングパッド部においてはその断面形状をT字型等にする必要がなく、全厚みに渡って幅広となし得ることから、このパッド部においては第3図Bで説明した電子ビーム操作による露光作業に代えて通常の光学的露光を行って、開口(24a)の幅と同等の幅を有する開口(22a)とする。この場合、図示しないがパッド部の形成部を含めて、基体(12)の

FET等の素子形成部以外のフィールド部には絶縁層が形成されていて、これの上にゲート電極のパッド部等が延在形成される。

また図示の例では、断面T字型のゲート電極によるFETに本発明を適用した場合であるが、ゲート電極の上部幅広部がドレイン側に片寄った断面Γ字型のゲート電極等、その断面形状が、チャンネル長を規定する基部側の幅より上部側で幅広とされたゲート電極を有するFETに適用することもできる。

(発明の効果)

上述したように本発明電界効果トランジスタは、第1図及び第2図に示すようにそのゲート電極の形状を、矢印bで示すチャンネル幅方向に関して全体としてはこの方向に沿って直線的でありながら、1以上の屈曲部ないしは湾曲部を有する、非直線的な形状のパターンとする。このような構成によれば、T字型のゲート電極(3)の各断面では、その基部側が幅狭となっているために、製造工程のあ

る段階で、例えば矢印c及びdで示すように横方向への力が働いても、全体としては複数の方向にその力が分散される。従って矢印bで示すチャンネル幅方向に対して、チャンネル幅に直交する矢印aで示す横方向に働く力は、実質的にその力の大きさが小となり、T字型ゲート電極(3)の歪みの発生を抑制し、ある箇所では屈曲ないしは湾曲によってささえられるため、倒れを回避することができ、特性の劣化や不良品の発生を抑制して、信頼性及び生産性の向上をはかることができる。

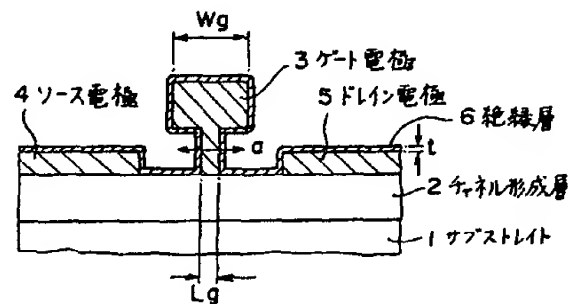
また、上述したように本発明薄膜トランジスタを製造するに当たって、何らの新しい工程を加える必要がなく、容易に強度を増すことができ、生産性の向上をはかることができる。

図面の簡単な説明

第1図及び第2図は本発明による電界効果トランジスタの各例の要部を示す略線的平面図、第3図A～Dは、断面T字型ゲート電極の製造方法の一例を示す略線的断面図、第4図はT字型のゲート電極を有するFETの製造過程を示す略線的断

面図である。

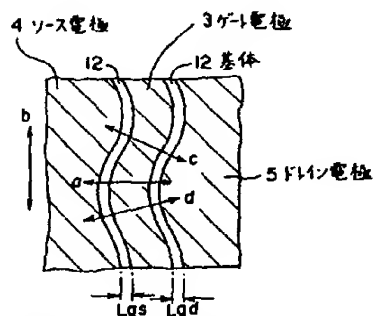
(1)はサブストレイト、(2)はチャンネル形成層、(12)は基体、(3)はゲート電極、(4)はソース電極、(5)はドレイン電極、(6)は絶縁層、(22)は電子ビームレジスト、(22a)は開口、(23)は遮光層、(24)はフォトリソ、(24a)は開口、(25)は電極材料層、 L_{gs} はゲート・ソース間距離、 L_{gd} はゲート・ドレイン間距離、 L_g はゲート長、 W_g はゲート幅、EBは電子ビーム、 t は厚みである。



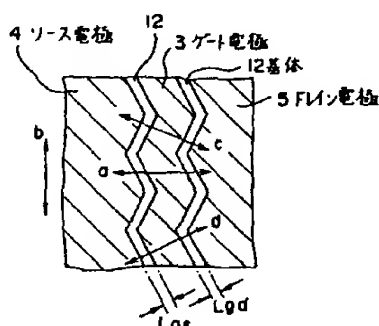
T字型のゲート電極を有するFETの製造過程を示す図

第4図

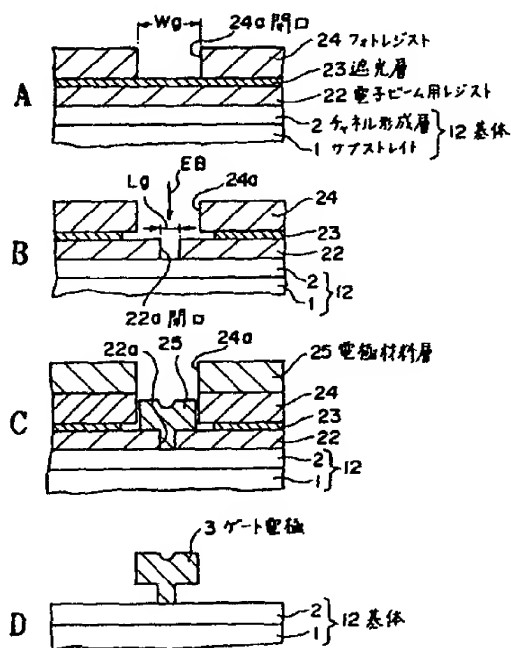
代理人 松隈秀盛



電界効果トランジスタの平面図
第1図



電界効果トランジスタの平面図
第2図



断面T字型のゲート電極の製造方法の一例を示す図

第3図

手続補正書

平成 2 年 5 月 16 日

特許庁長官 吉田 文 毅 殿

補

1. 事件の表示

平成 1 年 特 許 願 第 3 3 1 5 9 5 号

2. 発明の名称

電界効果トランジスタ

3. 補正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218) ソ ニ ー 株 式 会 社

代表取締役 大 賀 典 雄

4. 代 理 人

住 所 東京都新宿区西新宿1丁目8番1号
TEL 03-343-5821 (新宿ビル)

氏 名 (8088) 弁 理 士 松 岡 秀 盛



5. 補正命令の日付 平成 年 月 日

6. 補正により増加する発明の数

7. 補正の対象

明細書の発明の詳細な説明の欄、
図面の簡単な説明の欄及び図面。

8. 補正の内容



- (1) 明細書中、第4頁9行に「幅 W_g は幅広で、例えば $0.5 \sim 0.7 \mu m$ 」とあるを「長さ L_g は比較的長く、例えば $0.7 \sim 1.5 \mu m$ 」に訂正する。
- (2) 同、第4頁10行に「ゲート長 L_g は幅狭で、」とあるを「ゲート長 L_g は比較的短く、」に訂正する。
- (3) 同、第5頁6行に「ドレイン間容量 C_{gs} 」とあるを「ドレイン間容量 C_{gd} 」に訂正する。
- (4) 同、第5頁9行に「500人以下」とあるを、「1000人以下」に訂正する。
- (5) 同、第8頁1行に「ここに、」とあるを「ここで、第4図に示すように」に訂正する。
- (6) 同、第8頁13～14行に「例えばn型のチャネル形成層(2)、例えば低不純物濃度のGaAs層を、CVD(化学的气相成長法)」とあるを「例えばチャネル形成層(2)を、MOCVD(有機金属化学気相成長法)」に訂正する。
- (7) 同、第8頁19行に「スパッタ等」とあるを「蒸着等」に訂正する。
- (8) 同、第9頁1行に「幅 W_g 」とあるを「長さ

L_{g2} 」に訂正する。

(9) 同、第9頁6行に「ゲート長 L_g の幅」とあるを「ゲート長 L_g の長さ」に訂正する。

(10) 同、第9頁14行に「示すように、開口(22a)」とあるを「示すように、リセス部をエッチングにより形成した後、開口(22a)」に訂正する。

(11) 同、第9頁15行に「スパッタリング等」とあるを「蒸着等」に訂正する。

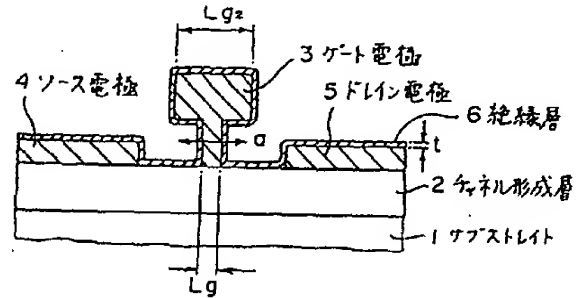
(12) 同、第10頁9行～10行に「距離 L_{gs} 及び L_{gd} を」とあるを「距離を」に訂正する。

(13) 同、第13頁7～8行に「 L_{gs} はゲート・ソース間距離、 L_{gd} はゲート・ドレイン間距離、」とあるを削除する。

(14) 同、第13頁8～9行に「 W_g はゲート幅」とあるを「 L_{g2} は上部メタルの長さ」に訂正する。

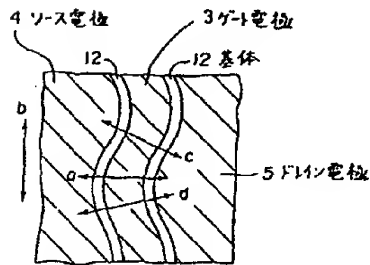
(15) 図面中、第1図～第4図を別紙のとおりに訂正する。

以上

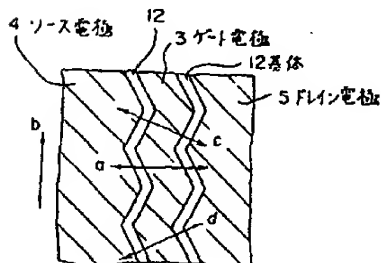


T字型のゲート電極を有するFETの製造過程を示す図

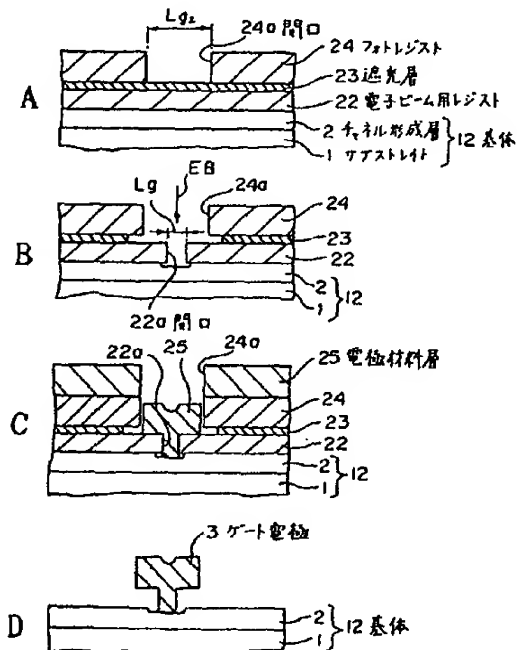
第4図



電界効果トランジスタの平面図
第1図



電界効果トランジスタの平面図
第2図



断面T字型のゲート電極の製造方法の一例を示す図

第3図